

③ 日本国特許庁(JP)

④ 特許出願公開

⑤ 公開特許公報(A)

昭64-55691

Int. Cl.

識別記号

庁内整理番号

⑥ 公開 昭和64年(1989)3月2日

G 06 K 17/00
G 06 F 12/14

310

E-6711-5B
B-7737-5B

審査請求 未請求 発明の数 1 (全1頁)

⑦ 発明の名称 メモリカード装置

⑧ 特 願 昭62-211998

⑨ 出 願 昭62(1987)8月26日

⑩ 発 明 者 辻 國 雄 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑪ 発 明 者 末 岡 一 郎 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑫ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ⑬ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

メモリカード装置

2. 発明の要約

コネクタを有するリダライタと、前記コネクタに接続し使用されるメモリカードとから構成され、前記リダライタのコネクタの一部に電位障壁を設け、この電位障壁の端部に前記メモリカードのプース電位又は一定の電位を用いた端子に書き込み保護機能を用いた保護シールを形成させる構成としたメモリカード装置。

3. 発明の詳細な説明

発明の用途

本発明は、書き込み保護機構を備えたメモリカード装置に関する。

従来の技術

従来のメモリカード装置では、第1図に示すリダライタ2内のCPV6の各端子とメモリカード1内のICメモリ3のアドレスバス、データバス及び制御信号バスとをコネクタ20を介し

てつなぎデータの書き込み、読み出しを行っている。制御信号バスとしては、チップセレクト信号、アクトブライネーム信号、ライトイネーム信号11がある。書き込み保護機能を実現するため、メモリカード1内のライトイネーム信号11に書き込み保護用スイッチ21とプルアップ抵抗22をもうける。書き込み保護用スイッチ21が「オン」状態の時、CPV6からのライトイネーム信号11がICメモリ3に送られ書き込みが行われる。書き込み保護用スイッチ21が「オフ」状態の時、CPV6からの信号は遮断され、プルアップ抵抗22によりライトイネーム信号11は高レベルの状態に保たれ、書き込みが不可になる。

発明が解決しようとする問題点

このような従来の構成のメモリカード装置では、書き込み保護用スイッチ21をメモリカード1の端子間へ付け加える必要があるが、メモリカード1の構造上、スイッチ21の大きさの制約を受け付け難いことが不可避である。本発明はかかる点に鑑みてなされ

付図第09-20071121

たもので、簡単な構成で両方のメモリカードを用いることができるメモリカード装置を提供することを目指すものである。

問題点を解決するための手段

本発明は上記問題点を解決するため、リーダライタのコネクタに電位検出端子を設け、この電位検出端子に対応するメモリカードの端子をアース電位、または一定の電位に設定するとともに、この端子間に差動性シールドを設けるようにしたのである。

作用

本発明は上記した構成により、メモリカードの電位端子に差動性シールドを設けていない場合、コネクタ部の電位検出端子と端子が接触状態になり、自由にメモリカードに書き込みが行われる。メモリカードの電位端子に差動性シールドを設けた場合、メモリカードへの書き込みが不可能になる。

実施例

図1図は本発明のメモリカード装置の一実施例を示すブロック図である。1はメモリカードである。

1へのデータの書き込みを不可能にする。第2図は本発明の制御回路を表現する一実施例である。CPU10のライトイネーブル信号11からの入力端子14c、プルアップ抵抗15に繋がれた出力端子18と、プルアップ抵抗17に繋がれた電位検出端子12を具備したスリースタートバッファ19より構成される。メモリカード1の端子4と電位検出端子12が接続状態にある時、電位検出端子12は「ロウ」レベルになり、入力端子14から送られてきたライトイネーブル信号11はそのまま出力端子14に出力され、データ1の書き込みが行われる。それに対し、端子4と電位検出端子12が接続されていない状態にある時、電位検出端子12はプルアップ抵抗17により「ハイ」レベルになり、出力端子18はハイインピーダンス状態になる。このハイインピーダンス状態とプルアップ抵抗15によりライトイネーブル信号11は高レベル状態に保たれデータの書き込みが不可能になる。第3図は本発明のメモリカードを表現する一実施例である。書き込み

り、データの記憶を行うメモリカード、アースと同電位の書き込み保護機能を果たす端子4を具備する。例えばリーダライタで、アドレスバス7、データバス8、チップセレクト信号9、アウトプットイネーブル信号10、ライトイネーブル信号11によりメモリカード1に信号を送るCPU5と、電位検出端子12の電圧レベルによりライトイネーブル信号11の制御を行う制御回路6と、CPU5と制御回路6の信号を各端子で与えるコネクタ13を具備する。メモリカード1の端子4に差動性シールドが設けられていない場合、コネクタ13にメモリカード1をつないだ時、端子4と電位検出端子12は接続状態になり、制御回路6はその電位を読み取りCPU5からライトイネーブル信号11をそのまま出力としてメモリカード1に送る。これにより自由にデータの書き込みが行われる。これに対して、端子4に差動性シールドが設けられている場合、端子4と電位検出端子12が接続されていない状態になり、制御回路6はCPU5からのライトイネーブル信号11を差動性メモリカード

回路の機能を実現するアースと同電位の端子4とデータの出入力を行う端子19を具備し、これらは、リーダライタ2のコネクタ13に繋がれる。端子4に差動性シールド20が設けられていない場合は、データの書き込みが自由に行われ、設けられている場合は、データの書き込みが不可能になる。第4図は本発明のメモリスロット用メモリカードを表現する一実施例である。

データの出入力を行うメモリスロット19とアースと同電位のメモリカードケース21から構成されている。リーダライタ2の電位検出端子のコネクタ部に対応する位置に差動性シールド20を設けることによりデータの書き込み保護の機能を果たす。

発明の効果

以上述べてきたように、本発明によれば、メモリカード自体にスイッチを付ける必要がなく、また簡単な構成により、通常のメモリカードで書き込みの保護を行うことができるものになる。

△、図面の簡単な説明

第1図は本発明の一実施例におけるメモリカード装置を示すブロック図、第2図は同装置の回路図、第3図は同メモリカードの一実施例を示す斜視図、第4図は従来のメモリカード装置を示すブロック図である。

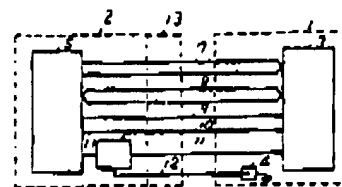
1…メモリカード、2…リデータライタ、3…ROMメモリ、4…番込保護回路を有する端子、5…CPU、6…制御回路、7…アドレスバス、8…データバス、9…チップセレクト信号、10…アウトプットセレクト信号、11…ライティング信号、12…電位検出端子、13…コネクタ、14…入力端子、15…17…22…プルアップ抵抗、18…出力端子、19…スリーステートバッファ、20…データの入出力を行う端子、21…絶縁部、22…メモリカードケース。

14: 図1の図名 并理士 中 尾 田 勇 行か1名

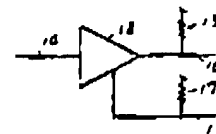
特開第64-55691(3)

1…メモリカード 9…チップセレクト信号
2…リデータライタ 10…アウトプットセレクト信号
3…ROMメモリ 11…ライティング信号
4…番込保護回路 12…電位検出端子
5…CPU 13…コネクタ
6…制御回路 14…入力端子
7…アドレスバス 15…17…22…プルアップ抵抗
8…データバス 18…出力端子
9…スリーステートバッファ

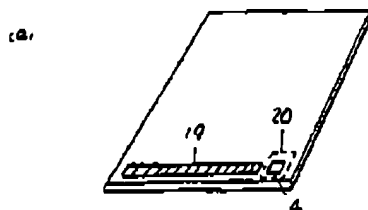
第1図



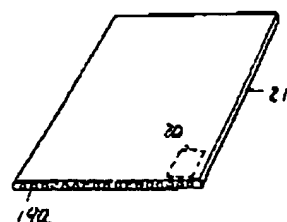
第2図



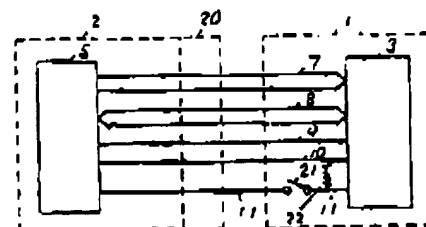
第3図



第4図



第4図



SUZUYE & SUZUYE

Jpn. Pat. KOKAI Publication No. 64-55691

Filing No.: 62-211996
Filing Date: August 26, 1987
Applicant: Matsushita Electric Industrial Co., Ltd.
KOKAI Date: March 2, 1989
Request for Examination: Not filed
Int.Cl.: G 06 K 17/00, G 06 F 12/14

[Specification]

1. Title of the Invention

Memory Card Device

2. What is claimed is:

A memory card device comprising a reader/writer which has a connector and a memory card which is utilized with the connector being attached thereto, wherein a potential detecting terminal is arranged in a region of the connector of the reader/writer, and an insulating seal which functions as write protection is adhered to a terminal of the memory card which corresponds to this potential detecting terminal and has a ground potential or a predetermined potential.

3. Detailed Description of the Invention

Field of Industrial Use

This invention relates to a memory card device having a write protection function.

Prior Art

SUZUYE & SUZUYE

In a conventional memory card device, data is written and read out by connecting terminals of the CPU 5 of a reader/writer 2 with the address bus 7, data bus 8 and control signal bus of the IC memory 3 inside the memory card 1 via a connector 20, as shown in FIG. 4. The control signal bus may include a chip select signal 9, output enable signal 10, and write enable signal 11. A write protection switch 21 and a pull-up resistor 22 are provided in the write enable signal 11 in order to realize the write protection function. When the write protection switch 21 is ON, the write enable signal 11 is sent from the CPU 5 to the IC memory 3 so that data is allowed to be written in. When the write protection switch 21 is OFF, the signal from the CPU 5 is interrupted. Then, the write enable signal 11 is kept at a "high" level by the pull-up resistor 22, whereby data writing is prohibited.

Objects of the Invention

The conventional memory card device with such a structure requires a write protection switch 21 to be arranged on the memory card 1, which restricts the thinning of the memory card due to its structure influenced by the size of the switch. The present invention has been made to solve this problem, and its object is to provide a memory card device with a simple structure for the use of a thin memory card.

Means for Achieving the Objects

In order to solve the above problem, the present

SUZUYE & SUZUYE

invention is designed to incorporate a potential detecting terminal in the connector of the reader/writer, set a terminal of the memory card that corresponds to this potential detecting terminal at the ground potential or a predetermined potential, and adhere an insulating seal to this corresponding terminal.

Operation

With the foregoing structure, the present invention allows data to be written into the memory card when the insulating seal is not attached to the terminal of the memory card, since the terminal is connected to the potential detecting terminal of the connector unit. When the insulating seal is adhered to the terminal of the memory card, data can no longer be written into the memory card.

Embodiments

FIG. 1 is a block diagram showing an embodiment of the memory card device of the present invention. Element 1 is a memory card which comprises an IC memory 3 for recording data and a terminal 4 having a potential the same as a ground potential to realize the write protection function. Element 2 is a reader/writer, having a CPU 5 which sends signals to the memory card 1 by use of an address bus 7, data bus 8, chip select signal 9, output enable signal 10, and write enable signal 11; a control circuit 6 which controls the write enable signal 11 by use of the voltage level of the potential detecting terminal

SUZUYE & SUZUYE

12; and a connector 13 which guides the signals from the CPU 5 and control circuit 6 to the corresponding units. When there is no insulating seal adhered to the terminal 4 of the memory card 1, the terminal 4 is in the state of being connected to the potential detecting terminal 12 at the time of the connector 13 brought into connection with the memory card 1. Thus, the control circuit 6 detects the potential, whereby the CPU 5 sends a write enable signal as an output signal to the memory card 1. As a result, data can be freely written in. On the other hand, when the insulating seal is attached to the terminal 4, the connection between the terminal 4 and the potential detecting terminal 12 is cut out. Hence, the control circuit 6 insulates the memory card 1 from the write enable signal 11 output from the CPU 5, thereby prohibiting data writing into the memory card 1. FIG. 2 shows an embodiment which realizes the control circuit of the present invention. This circuit is constituted of a three-state buffer 18 which comprises an input terminal 14 for the write enable signal 11 of the CPU 5, an output terminal 16 connected to a pull-up resistor 15 and a potential detecting terminal 12 connected to a pull-up resistor 17. When the terminal 4 of the memory card 1 is connected to the potential detecting terminal 12, the potential detecting terminal 12 is in a "low" level. The write enable signal 11 transferred through the input terminal 14 is thereby output from the output terminal 16 so that data writing is allowed. In

SUZUYE & SUZUYE

contrast, when the terminal 4 is not connected to the potential detecting terminal 12, the potential detecting terminal 12 is put into a "high" level by the pull-up resistor 17, which results in the output terminal 16 being in a high impedance state. This high impedance state and the pull-up resistor 15 both keep the write enable signal 11 in a "high" level and thereby prohibit data writing.

FIG. 3a shows an embodiment which realizes the memory card of the present invention. It comprises a terminal 4 which has the same potential as the ground potential to function as write protection, and also a terminal 19 for inputting and outputting data, where both terminals are connected to the connector 13 of the reader/writer 2. Data writing is executed when an insulating seal 20 is not attached to the terminal 4, while data writing is prohibited when an insulating seal is attached. FIG. 3b illustrates an embodiment which realizes a memory card of the present invention for a two-piece type terminal.

The structure is constituted of a two-piece type terminal 19a which inputs/outputs data and a memory card case 21 which has the same potential as the ground potential. The function of data writing protection can be realized by adhering an insulating seal 20 to the memory card at a position corresponding to the connector section of the potential detecting terminal of the reader/writer.

Advantages of the Invention

As discussed above, the present invention does not

SUZUYE & SUZUYE

necessitate a switch attached to a memory card. Hence, it realizes a thin memory card, with a remarkably simple structure, which can execute write protection.

4. Brief Description of the Drawings

FIG. 1 is a block diagram which illustrates a memory card device according to an embodiment of the present invention; FIG. 2 shows a circuit diagram of a control circuit according to another embodiment thereof; FIG. 3 is a perspective view of a memory card according to still another embodiment thereof; and FIG. 4 shows a block diagram of a conventional memory card device.

1...memory card, 2...reader/writer, 3...IC memory,
4...terminal for realizing a write protection function,
5...CPU, 6...control circuit, 7...address bus, 8...data bus,
9...chip select signal, 10...output enable signal,
11...write enable signal, 12...potential detecting terminal,
13...connector, 14...input terminal, 15, 17, 22...pull-up
resistors, 16...output terminal, 18...three-state buffer,
19...terminal for inputting/outputting data,
20...insulating seal, 21...memory card case

Agents: Patent Attorneys Toshio Nakao et al.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.